

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2004 年 12 月 23 日 (23.12.2004)

PCT

(10) 国際公開番号  
WO 2004/112121 A1

(51) 国際特許分類<sup>7</sup>: H01L 21/336, 29/78, 21/8238, 27/092

(21) 国際出願番号: PCT/JP2004/008218

(22) 国際出願日: 2004 年 6 月 11 日 (11.06.2004)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:  
特願2003-170118 2003 年 6 月 13 日 (13.06.2003) JP

(71) 出願人 (米国を除く全ての指定国について): 株式会社豊田自動織機 (KABUSHIKI KAISHA TOYOTA JIDOSHOKKI) [JP/JP]; 〒4488671 愛知県刈谷市豊田町

2 丁目 1 番地 Aichi (JP). 新潟精密株式会社 (NIIGATA SEIMITSU CO., LTD.) [JP/JP]; 〒9430834 新潟県上越市西城町 2 丁目 5 番 1 3 号 Niigata (JP).

(71) 出願人 および

(72) 発明者: 大見 忠弘 (OHMI, Tadahiro) [JP/JP]; 〒9800813 宮城県仙台市青葉区米ヶ袋 2-1-17-301 Miyagi (JP).

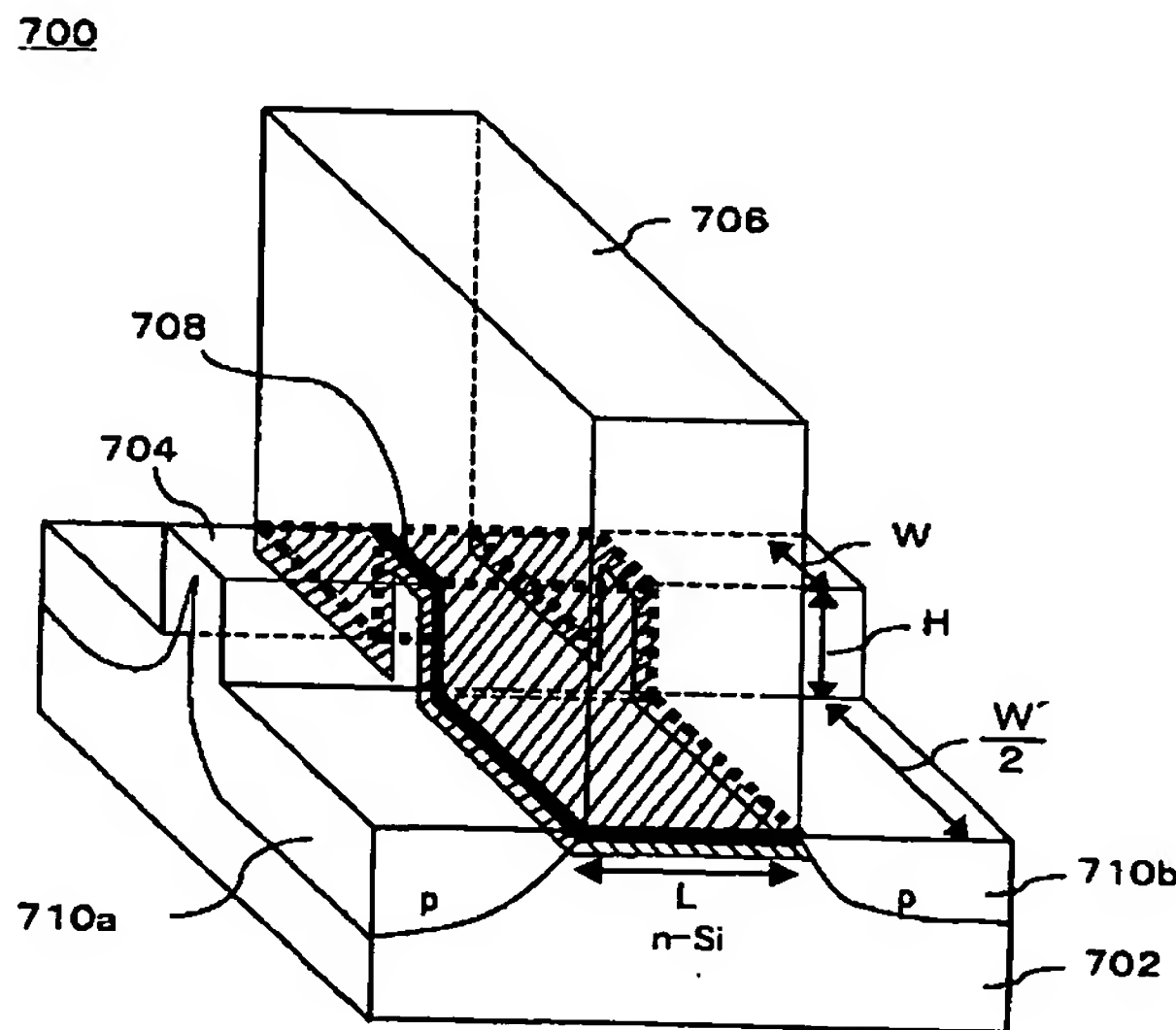
(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 西牟田 武史 (NISHIMUTA, Takefumi) [JP/JP]; 〒4488671 愛知県刈谷市豊田町 2 丁目 1 番地 株式会社豊田自動織機内 Aichi (JP). 宮城 弘 (MIYAGI, Hiroshi) [JP/JP]; 〒9430834 新潟県上越市西城町 2 丁目 5 番 1 3 号 新潟精密株式会社内 Niigata (JP). 須川 成利 (SUGAWA, Shigetoshi) [JP/JP]; 〒9800861 宮城県仙台市青葉区川

[続葉有]

(54) Title: MIS TRANSISTOR AND CMOS TRANSISTOR

(54) 発明の名称: MIS トランジスタ及びCMOS トランジスタ



(57) Abstract: A MIS transistor formed in a semiconductor substrate is disclosed which comprises a semiconductor substrate (702, 910) having a projected portion (704, 910B) whose surface has at least two different crystal planes with respect to the major surface of the substrate, a gate insulating film (708, 920B) covering at least a part of each of the crystal planes constituting the surface of the projected portion, a gate electrode (706, 930B) formed on each of the crystal planes via the gate insulating film, and diffused regions (710a, 710b, 910c, 910d) which are formed in the projected portion facing the respective crystal planes while suppressing increase in device area.

(57) 要約: 半導体基板に形成されるMIS トランジスタを前提とし、該MIS トランジスタは、表面が少なくとも二つの異なる結晶面を有する凸部 (704、910B) を主面に対して構成する半導

[続葉有]

WO 2004/112121 A1



内元支倉 3 5-2-1 0 2 Miyagi (JP). 寺本 章伸 (TER-AMOTO, Akinobu) [JP/JP]; 〒9830037 宮城県仙台市宮城野区平成 1 丁目 1-2 2-K 6 Miyagi (JP).

(74) 代理人: 大昔 義之 (OSUGA, Yoshiyuki); 〒1020084 東京都千代田区二番町 8 番地 2 0 二番町ビル 3 F Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

体基板 (702、910) と、前記凸部の表面を構成する前記少なくとも二つの異なる結晶面の各々の少なくとも一部を覆うゲート絶縁膜 (708、920B) と、前記ゲート絶縁膜を介して、前記凸部の表面を構成する前記少なくとも二つの異なる結晶面の各々に対して構成されるゲート電極 (706、930B) と、前記少なくとも二つの異なる結晶面の各々に面して前記凸部中に形成され、かつ前記ゲート電極の両側にそれぞれ形成される同一導電型拡散領域 (710a、710b、910c、910d) と、を有する。このように構成することにより、素子面積の増大を抑えながら、チャネル幅を増大できる。